

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 10144878
PUBLICATION DATE : 29-05-98

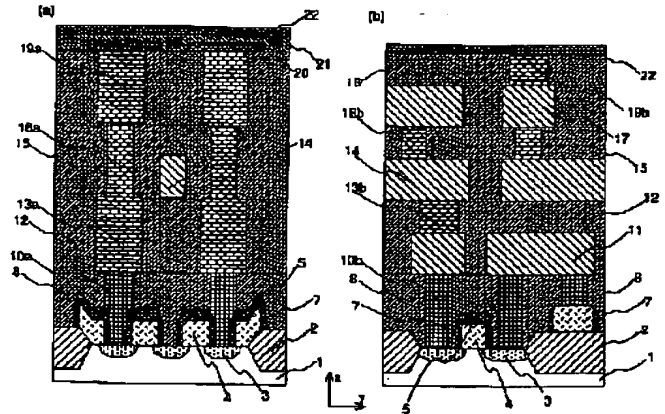
APPLICATION DATE : 06-11-96
APPLICATION NUMBER : 08293473

APPLICANT : HITACHI LTD;

INVENTOR : HASEGAWA NORIO;

INT.CL. : H01L 27/108 H01L 21/8242 H01L
21/768

TITLE : SEMICONDUCTOR INTEGRATED
CIRCUIT DEVICE AND FABRICATION
THEREOF



ABSTRACT : PROBLEM TO BE SOLVED: To enhance the reliability while decreasing the resistance of interconnection and the unit memory cell area.

SOLUTION: A contact plug (10a, 13a, 16a, 19a) has elliptical plan view having long axes in the direction causing no interference with adjacent lines (11, 14, 17). A plurality of such contact plugs are then stacked sequentially crosswise while intersecting the long axes perpendicularly thus interconnecting them directly. According to the structure, contact holes are filled easily and patterned finely and since the effect of positional shift is suppressed at the time of matching the mask, fabrication of multilayer interconnection can be facilitated while enhancing the reliability and the performance. Furthermore, fabrication yield of the chip per wafer is increased and the fabrication cost is reduced.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144878

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/108

H 0 1 L 27/10

6 2 1 Z

21/8242

21/90

D

21/768

27/10

6 5 1

審査請求 未請求 請求項の数30 O L (全 21 頁)

(21) 出願番号 特願平8-293473

(22) 出願日 平成8年(1996)11月6日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 中村 吉孝

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 小林 伸好

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(72) 発明者 福田 琢也

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体事業部内

(74) 代理人 弁理士 高橋 明夫

最終頁に続く

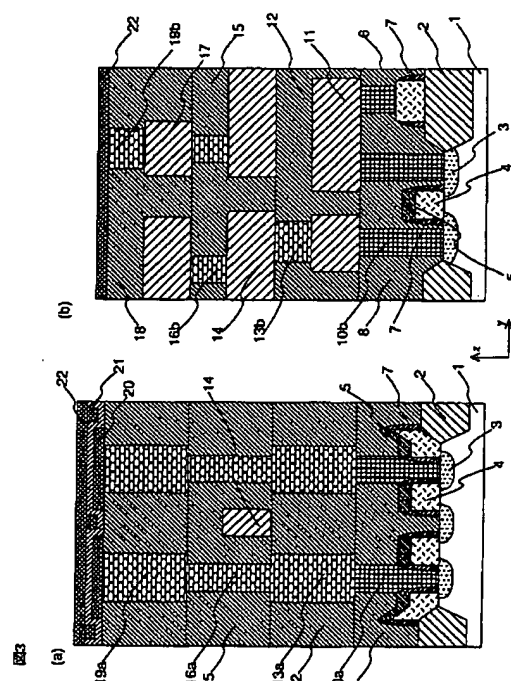
(54) 【発明の名称】 半導体集積回路装置およびその製造方法

(57) 【要約】

【課題】 多層配線の配線抵抗を低減させるとともに配線の信頼性を高め、さらに単位メモリセル面積を縮小する。

【解決手段】 接続プラグ (10a、13a、16a、19a) の平面形状を、隣接する配線 (11、14、7) と干渉しない方向に長軸を有する楕円型にするとともに、このような形状の接続プラグを、各楕円の長軸を直交させて十字型に配置して順次複数個重ねて、互いに直接電氣的に接続する。

【効果】 接続孔への導電体膜の埋込が容易になって微細化され、さらに、マスク合わせの際の位置ずれによる影響が減少して、多層配線の製造が容易になり、信頼性と性能が向上する。また、ウエハあたりのチップ取得数が増加して製造コストが低減する。



【特許請求の範囲】

【請求項1】 下地基板と、当該下地基板の表面上に形成された層間絶縁膜と、当該層間絶縁膜を貫通する導電性膜からなる接続プラグを具備し、当該接続プラグの平面形状が楕円型形状であることを特徴とする半導体集積回路装置。

【請求項2】 上記楕円型形状の短軸の長さが、上記下地基板に形成されたMOSトランジスタが有するゲート電極の幅と実質的に等しいことを特徴とする請求項1に記載の半導体集積回路装置。

【請求項3】 上記楕円型形状の長軸の長さが、解像波長の5倍以下であることを特徴とする請求項1若しくは2に記載の半導体集積回路装置。

【請求項4】 上記楕円型形状の長軸の長さが、上記短軸の長さの1.2倍以上2倍以下であることを特徴とする請求項1から3のいずれかに記載の半導体集積回路装置。

【請求項5】 上記楕円型形状の長軸方向が、上記接続プラグの近傍に配置された配線の方向と同一であることを特徴とする請求項1から4のいずれかに記載の半導体集積回路装置。

【請求項6】 上記接続プラグの上面と下面は上記下地基板の表面と平行であり、上記接続プラグの側面は上記下地基板の表面と実質的に垂直であることを特徴とする請求項1から5のいずれかに記載の半導体集積回路装置。

【請求項7】 上記下地基板上には複数の上記層間絶縁膜が積層して形成され、互いに対向して隣接する上記層間絶縁膜にそれぞれ形成された上記接続プラグは、上記楕円形状の長軸が互いに直交する方向に形成され、かつ互いに直接電氣的に接続されていることを特徴とする請求項1に記載の半導体集積回路装置。

【請求項8】 I/O制御回路部とデコーダ部を有する周辺回路部とメモリセルアレー部を有し、当該メモリセルアレー部の上記複数の層間絶縁膜の下に形成されたMOSトランジスタの拡散層が、上記複数の層間絶縁膜上に形成されたキャパシタの電極と、複数の上記接続プラグを介して互いに電氣的に接続されていることを特徴とする請求項7に記載の半導体集積回路装置。

【請求項9】 ロジック回路部をさらに有していることを特徴とする請求項8に記載の半導体集積回路装置。

【請求項10】 上記ロジック回路部においては、互いに隣接する少なくとも2つの上記接続プラグが、配線あるいは配線接続パッドを介して互いに電氣的に接続されていることを特徴とする請求項9に記載の半導体集積回路装置。

【請求項11】 上記周辺回路部においては、互いに隣接する少なくとも2つの上記接続プラグが配線あるいは配線接続パッドを介して互いに電氣的に接続されていることを特徴とする請求項8に記載の半導体集積回路装置。

【請求項12】 上記メモリセルアレー部と周辺回路部、若しくは上記メモリセルアレー部とロジック回路部に形成された上記接続プラグは、各層ごとに同一の導電材料からなることを特徴とする請求項8から11のいずれかに記載の半導体集積回路装置。

【請求項13】 上記導電性膜は、タングステン膜、窒化タングステン膜、チタン膜、窒化チタン膜、アルミニウム膜および銅膜からなる群から選択された少なくとも1種であることを特徴とする請求項1から12に記載の半導体集積回路装置。

【請求項14】 上記メモリセルアレーがDRAMのメモリセルアレーであることを特徴とする請求項8から13に記載の半導体集積回路装置。

【請求項15】 上記DRAMメモリセルアレーの単位メモリセルが1つのMOS型トランジスタと1つのキャパシタからなり、上記メモリセルの面積が $8 \times f \times (f + a)$ 以下(但し、 f は最小加工寸法、 a はプロセス裕度)であることを特徴とする請求項14に記載の半導体集積回路装置。

【請求項16】 上記メモリセルアレーが強誘電体メモリのメモリセルアレーであることを特徴とする請求項8から13のいずれかに記載の半導体集積回路装置。

【請求項17】 上記メモリセルアレー部において、上記キャパシタがビットラインの上方に配置されていることを特徴とする請求項8から16のいずれかに記載の半導体集積回路装置。

【請求項18】 上記メモリセルアレー部において、上記キャパシタが全配線の上方に配置されていることを特徴とする請求項8から16のいずれかに記載の半導体集積回路装置。

【請求項19】 上記キャパシタの容量絶縁膜は、酸化 tantalum 膜、PZT膜およびBST膜からなる群から選択された膜であることを特徴とする請求項8から15、17および18のいずれかに記載の半導体集積回路装置。

【請求項20】 上記強誘電体メモリが有する強誘電体キャパシタの絶縁膜は、PZT膜およびBST膜からなる群から選択されることを特徴とする請求項16に記載の半導体集積回路装置。

【請求項21】 上記配線の下には、上記層間絶縁膜とはエッチング速度が異なる第2の絶縁膜が配置されていることを特徴とする請求項1から20のいずれかに記載の半導体集積回路装置。

【請求項22】 上記配線の側部には、上記層間絶縁膜とはエッチング速度が異なる第3の絶縁膜が配置されていることを特徴とする請求項1から21のいずれかに記載の半導体集積回路装置。

【請求項23】 上記配線の上には、上記層間絶縁膜とはエッチング速度が異なる第4の絶縁膜を配置したことを特徴とする請求項1から22のいずれかに記載の半導

体集積回路装置。

【請求項 2 4】上記第 2、第 3 および第 4 の絶縁膜は窒化シリコン膜であることを特徴とする請求項 2 1 から 2 3 のいずれかに記載の半導体集積回路装置。

【請求項 2 5】下地基板の上に第 1 の層間絶縁膜を形成する工程と、当該第 1 の層間絶縁膜を貫通し、平面形状が楕円型形状である第 1 の接続孔を形成する工程と、当該第 1 の接続孔内に導電膜を充填して第 1 の接続プラグを形成する工程と、第 1 層の配線を形成する工程と、第 2 の層間絶縁膜を形成する工程と、当該第 2 の層間絶縁膜を貫通し、平面形状が楕円型形状である第 2 の接続孔を形成する工程と、当該第 2 の接続孔内に導電膜を充填して第 2 の接続プラグを形成する工程を有し、上記第 2 の接続孔は、当該第 2 の接続孔の長軸が上記第 1 の接続孔の長軸と上記下地基板の表面と平行な面内において直交する方向に形成されることを特徴とする半導体集積回路装置の製造方法。

【請求項 2 6】上記接続孔内に導電膜を充填する工程は、選択 CVD 法を用いて行われることを特徴とする請求項 2 5 に記載の半導体集積回路装置の製造方法。

【請求項 2 7】上記接続孔内に導電膜を充填する工程は、プランケット CVD 法を用いて行われることを特徴とする請求項 2 5 に記載の半導体集積回路装置の製造方法。

【請求項 2 8】上記接続孔内に導電膜を充填する工程の後に、上記導電膜を研磨して上記接続孔内以外に形成された部分を除去する工程が行われることを特徴とする請求項 2 5 から 2 7 のいずれかに記載の半導体集積回路装置の製造方法。

【請求項 2 9】第 2 の接続孔を形成する工程は、上記第 2 の層間絶縁膜を当該上記第 2 の層間絶縁膜よりエッチング速度が小さい膜の上に形成した後に行われることを特徴とする請求項 2 5 から 2 8 のいずれかに記載の半導体集積回路装置の製造方法。

【請求項 3 0】上記第 2 の層間絶縁膜よりエッチング速度が小さい膜は、窒化シリコン膜であることを特徴とする請求項 2 9 に記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路装置およびその製造方法に関し、詳しくは、極めて微細な多層配線を有する半導体集積回路装置およびその製造方法に関する。

【0002】

【従来の技術】半導体集積回路装置の集積度向上のためには、多層配線を微細化することが重要である。多層配線を微細化するためには、配線の線幅を小さくすることのみではなく、例えば、DRAM(Dynamic Random Access Memory)のメモリアルレー部においては、各配線層間や配線層と半導体基板表面の所定部分を、互いに接続

するための配線層接続プラグの接続構造を改良する必要がある。このような接続プラグとして、特開平 6-120447 には、MOS 型トランジスタの拡散層とキャパシタ下部電極を接続するために、側面が垂直ではなく、傾斜を有する 2 つの接続プラグが直接電氣的に接続された構造を用いることが提案されている。

【0003】

【発明が解決しようとする課題】上記従来技術では、接続プラグの側面が傾斜しているため、下地基板の表面と平行な接続プラグの上面と下面の大きさが同一にならず、上面の大きさが下面の大きさより大きい。上記従来技術において、接続プラグの側面が傾斜しているのは、接続プラグを形成するためのコンタクト孔を、ドライエッチングによって絶縁膜に形成する際に、コンタクト孔の孔径が小さく場合は、コンタクト孔の底部に近い部分ほど、エッチングガスが入り難く、その結果、底部に近い部分ほどエッチング量が少なくなって、孔径が小さくなるためである。

【0004】このように接続プラグの側面が傾斜していると、接続プラグの下面における接触面積が小さくなり、接続プラグの接触抵抗を含めた配線抵抗が増大する。また、接続プラグ上面の断面積が大きくなることになって、DRAM の単位メモリアル面積が大きくなり、配線の設計自由度が制限されるなどの問題が生ずる。

【0005】また、一般に接続プラグの大きさが小さい場合は、接続プラグ用のコンタクト孔を、ホトリソグラフィ技術とドライエッチング技術によって高い精度で正確に形成するのは困難であるばかりでなく、このような微細なコンタクト孔内に導電膜を埋め込むのが難しい。そのため、接続プラグの接触抵抗を含めた配線抵抗が増大する、および断線が生じるなどの問題が生じ、高い信頼性を有する微細な配線構造を得るのは困難である。

【0006】本発明の目的は、従来技術の有する上記問題を解決し、上記単位メモリアル面積の増大および設計自由度への制限など、好ましくない障害をともなうことなしに、低い抵抗、高い設計自由度および高い信頼性を有する配線を実現することができる半導体集積回路装置、およびこのような半導体集積回路装置を高い精度で容易に製造することができる半導体集積回路装置の製造方法を提供することである。

【0007】

【課題を解決するための手段】上記目的を達成するための本発明の半導体集積回路装置は、下地基板と、当該下地基板の表面上に形成された層間絶縁膜と、当該層間絶縁膜を貫通する導電性膜からなる接続プラグを具備し、当該接続プラグの平面形状が楕円型形状であることを特徴とする。

【0008】すなわち、本発明においては、層間絶縁膜を貫く接続プラグの平面形状が楕円型であることに最大

の特徴があり、この楕円型の長軸の方向を、上記接続プラグと平面方向において隣接する配線と干渉しない方向にすることが好ましい。

【0009】周知のように、従来は、平面形状が正円形(マスクパターンは正方形)の接続プラグが一般に用いられているが、平面形状が楕円形(マスクパターンは長方形)とである接続プラグは、平面積の増加によって電氣的接触抵抗が低減されることは言うまでもないが、さらに、後で説明するように、接続孔のマスクパターンをレジスト膜へ転写するのが容易であるため接続孔の形成が容易になる、接続孔を導電膜で埋め込むのが容易である、さらに、複数の接続プラグを重ねて形成する場合、平面形状が円形である接続プラグに比べて、位置合わせの際の位置ずれの影響が小さいなど、顕著な利点がある。

【0010】上記楕円型形状の短軸の長さは極めて小さくすることができ、使用されたホトエッチング技術における最小加工寸法にまで小さくすることができる。通常の場合は、下地基板に形成されたMOSトランジスタが有するゲート電極の幅は、この最小加工寸法に等しいので、上記楕円型形状の短軸の長さをゲート電極の幅と実質的に等しくすることができる。

【0011】上記マスクパターンの転写が容易になる効果は、上記楕円型形状の長軸の長さが、解像波長の5倍以下である場合、および長軸が短軸の1.2倍以上、2倍以下である場合に認められる。

【0012】上記接続プラグの上記楕円型形状の長軸方向は、この接続プラグの近傍に配置された配線の方向と同一にすることが好ましい各接続プラグ側面は傾斜していない、すなわち、上記接続プラグの上面と下面は上記下地基板の表面と平行で、上記接続プラグの側面は上記下地基板の表面と実質的に垂直であることが、所要平面積および各プラグ間の抵抗の点から好ましい。

【0013】互いに対向して積層された二つの上記層間絶縁膜にそれぞれ形成された上下二つの上記接続プラグは、上記楕円形状の長軸が互いに直交する方向に形成され、かつ互いに直接電氣的に接続されている。このようにすると、マスク合わせの際に位置ずれが起こった際における、上下二つの上記接続プラグの接触面積は、両接続プラグの平面形状がいずれも正円形の場合にくらべて大きく、低接触抵抗とするために極めて有利である。

【0014】本発明の半導体集積回路装置が周辺回路部(I/O制御部とデコーダ部)とメモリセルアレー部を有する場合、このメモリセルアレー部に上記複数の層間絶縁膜を形成し、これら複数の層間絶縁膜の下および上には、それぞれMOSトランジスタおよびキャパシタを形成し、このMOSトランジスタの拡散層を、上記キャパシタの電極と、複数の上記接続プラグを介して互いに電氣的に接続させることができる。この半導体集積回路装置は、上記周辺回路部とメモリセルアレー部に加え

て、さらにロジック回路部を具備することができ、このロジック回路部においては、メモリセルアレー部のように極度の微細化は必要なく、大きな電流値が要求されるので、互いに隣接する少なくとも2つの上記接続プラグを、配線あるいは配線接続パッドを介して互いに電氣的に接続すれば、さらに好ましい結果が得られる。

【0015】上記周辺回路部も同様であり、互いに隣接する少なくとも2つの上記接続プラグを、配線あるいは配線接続パッドを介して互いに電氣的に接続させることが好ましい。

【0016】上記メモリセルアレー部と周辺回路部、若しくは上記メモリセルアレー部とロジック回路部に形成された上記接続プラグの材料を、各層ごとに同一の導電性膜から構成することが好ましい。このようにすれば、上記メモリセルアレー部と周辺回路部、若しくは上記メモリセルアレー部とロジック回路部の接続プラグを、それぞれ同時に形成することができる。この上記導電性膜としては、タングステン膜、窒化タングステン膜、チタン膜、窒化チタン膜、アルミニウム膜および銅膜からなる群から選択された少なくとも1種を用いることができる。

【0017】上記メモリセルアレーがDRAMのメモリセルアレーであれば好ましい結果が得られる。上記DRAMメモリセルアレーの単位メモリセルは1つのMOS型トランジスタと1つのキャパシタからなり、上記メモリセルの面積が $8 \times f \times (f + a)$ 以下(但し、 f は最小加工寸法、 a はプロセス裕度)とすることができる。

【0018】上記メモリセルアレーが強誘電体メモリのメモリセルアレーであってもよい。

【0019】上記メモリセルアレー部において、上記キャパシタをビットラインの上方に配置することができ、さらに、上記キャパシタを全配線の上方に配置することができる。

【0020】上記キャパシタの容量絶縁膜は、酸化タンタル膜、PZT(鉛、ジルコニウムおよびチタンの複合酸化物)膜およびBST(バリウム、ストロンチウムおよびチタンの複合酸化物)膜など周知の容量絶縁膜膜を用いることができ、上記強誘電体メモリの場合は、強誘電体キャパシタの絶縁膜は、PZT膜若しくはBST膜など周知の強誘電体膜を使用できる。

【0021】上記層間絶縁膜とはエッチング速度が異なる第2の絶縁膜を上記配線の下に配置すると、後で説明するように、この第2の絶縁膜がエッチングストップ膜として作用し、上記絶縁膜を貫通する接続プラグと配線の間の絶縁が支障なく行われる。また、上記層間絶縁膜とはエッチング速度が異なる第3の絶縁膜を上記配線の側部に配置することによって、上記配線とこの配線に隣接する接続プラグの間の絶縁が支障なく行われる。さらに、上記層間絶縁膜とはエッチング速度が異なる第4の絶縁膜を上記配線の上に配置することにより、上記配線

とこの配線に隣接する接続プラグの間の絶縁が支障なく行われる。これら第2、第3および第4の絶縁膜としては、窒化シリコン膜を用いることができ、好ましい結果が得られる。

【0022】上記本発明の半導体集積回路装置は、下地基板上に第1の層間絶縁膜を形成する工程と、当該第1の層間絶縁膜を貫通し、平面形状が楕円型形状である第1の接続孔を形成する工程と、当該第1の接続孔内に導電膜を充填して第1の接続プラグを形成する工程と、第1層の配線を形成する工程と、第2の層間絶縁膜を形成する工程と、当該第2の層間絶縁膜を貫通し、平面形状が楕円型形状である第2の接続孔を形成する工程と、当該第2の接続孔内に導電膜を充填して第2の接続プラグを形成する工程を有し、上記第2の接続孔は、当該第2の接続孔の長軸が上記第1の接続孔の長軸と上記下地基板の表面と平行な面内において直交する方向に形成されることを特徴とする半導体集積回路装置の製造方法によって形成できる。

【0023】すなわち、上記本発明の半導体集積回路装置の製造方法では、第1の層間絶縁膜を貫通し、平面形状が楕円型形状である第1の接続プラグを形成した後、上記第1の層間絶縁膜上に形成された第2の層間絶縁膜を貫通し、平面形状が楕円型形状である第2の接続プラグを、第2の接続プラグの長軸と上記第1の接続プラグの長軸が、下地基板の表面と平行な面内において直交する方向に形成される。

【0024】上記第2の接続プラグを形成する際に、ホトエッチングの位置ずれが生ずるのは避けられないが、第1および第2の接続プラグの平面形状がいずれも楕円型形状であるため、上記のように、上記平面形状が真円である場合に比べて、第1および第2の接続プラグの間の接触面積が著しく大きくなり、上記ホトエッチングの際の位置ずれの影響は、はるかに小さくなる。

【0025】上記接続孔内に導電膜を充填して接続プラグを形成する工程は、選択CVD法を用いて行えば、接続孔内部以外の部分への導電体物質の堆積を極めて少なくすることができ好ましいが、導電膜が全面に形成されるブランケットCVD法を用いて行おうことも可能である。

【0026】上記接続孔内に導電膜を充填した後に、上記導電膜の上部を研磨して上記接続孔内以外に形成された部分を除去し、上記接続孔内のみに上記導電膜を残すようにすれば、後の工程に好ましい。

【0027】また、第2の接続孔の形成を、上記第2の層間絶縁膜を上記第2の層間絶縁膜よりエッチング速度が小さい膜の上に形成した後に行えば、このエッチング速度が小さい膜がエッチングストップ膜として作用するので、エッチングの余裕度が大きくなる。上記第2の層間絶縁膜よりエッチング速度が小さい膜として窒化シリコン膜を用いれば好ましい結果が得られる。

【0028】本発明による平面形状が楕円型形状の接続プラグには、従来の正円形の接続プラグと比較して、形成時に下記の利点がある。第1の利点は、接続孔のマスクパターンをウエハ上に転写する際に、マスクパターンの形状が、孔パターンではなく線パターンに近い形状になるため、解像されやすく、微細な接続孔が形成できることである。第2の利点は、接続孔を形成する際に、接続プラグの平面積を増加させると、エッチングガスが接続孔の底まで入りやすくなり、接続孔は容易に形成される。また、接続プラグの側面は傾斜を有さず、上面と下面の大きさが同等になるように加工することも容易になる。第3の利点として、接続孔内に導電膜を埋め込む際に、上記エッチングの場合と同様に、スパッタ粒子やCVDガス分子が、接続孔の底まで入りやすくなるので埋め込みも容易になる。したがって、ブランケットCVD法によって接続孔内に導電膜を埋め込む場合でも、空洞や洲が生じるなどの不都合なく接続プラグが形成できる。また、選択CVD法によって導電膜を接続孔内に埋め込む場合でも、導電膜の成長膜厚のばらつきが生じるなどの不都合なく安定して接続プラグが形成できる。また、接続プラグの形成時にCMP法を用いる場合にも、接続プラグが破壊される、あるいは接続プラグ内の空洞や洲に研磨粒子が残留するなどの問題も生じない。

【0029】

【発明の実施の形態】本発明において、接続プラグの平面形状としては、楕円形および長方形のみではなく、例えば図10に示したように、直交する二軸に線対称であり、かつ二軸の長さが異なる形状、さらに、これらの形状を主として、他の図形をこれらと組み合わせた各種形状を用いることができる。これらの形状を本明細書では楕円型形状と総称する。

【0030】各接続プラグの側面が底部と実質的に垂直で、上面の大きさと底面の大きさを実質的に等しくすれば、底面が小さいことによる接触抵抗の防止および上面が大きいことによる所要面積の増大がともに防止されるので、好ましい。

【0031】また、メモリセルアレー部においては、各接続プラグを順次直接接続し、一方、周辺回路においては、各接続プラグの間に配線または配線パッドを介在させることができる。このようにすれば、メモリセルアレー部の所要面積縮小と周辺回路部における所要電流の確保が同時に達成される。

【0032】接続プラグとしては、例えばタングステン、窒化タングステン、チタンおよび窒化チタンなど、電極や接続プラグとして用いられる周知の金属を使用できる。

【0033】各層間絶縁膜の膜厚は、 $1.0\mu\text{m}$ 以下、 $0.3\mu\text{m}$ とすれば、アスペクト比が大きくないので、接続孔の形成は容易であり、また、ピンホールの発生などの恐れもないので好ましい。

【0034】

【実施例】

〈実施例1〉本実施例は、本発明をDRAM半導体集積回路装置に適用した例であり、単位メモセルの大きさが $0.8 \times 0.6 \mu\text{m}$ の256MbDRAMを形成した。最小加工寸法は $0.2 \mu\text{m}$ とした。

【0035】本実施例のDRAMの全体構成を図1に示した。図1から明らかなように、本実施例のDRAM1000は、メモセルアレー部1001、I/O制御回路部1002、列デコーダ部1003、行デコーダ部1004および入出力インターフェイス部1005から構成されている。

【0036】上記メモセルアレー部1001を構成するメモセルの2ビット分の等価回路を図2示した。図2から明らかなように、一つのメモセルは一つのMOS型トランジスタ2001と一つの電荷蓄積キャパシタ2002からなっている。

【0037】図3～図5は、DRAMの主要部の断面図である。図3～図5において、図3(a)、図4'(a)および図5(a)はメモセルアレー部、図3(b)は周辺回路部の断面構造をそれぞれ示す。また、図6～図9は、メモセルアレー部において、接続プラグがそれぞれ形成された各層ごとの平面配置を示すマスクパターンである。図3(a)における第1層の断面構造は図6のA-A'部の断面構造であり、図4(a)における第1層の断面構造はB-B'部の断面構造、図5における第1層の断面構造はC-C'部の断面構造をそれぞれ示す。図7および図8においても同様であり、それぞれ図4(a)および図5(a)に示した断面構造を有する第2層および第3層の平面配置を表わすマスクパターンである。

【0038】図6では拡散層3、ゲート電極4および第1の接続プラグ10aを、図7では第1層配線11および第2の接続プラグ13aを、図8では第2層配線14および第3の接続プラグ16aを、図9では第3層配線1および第4の接続プラグ19aを、それぞれ実線で示し、他の部分は破線で示した。図6～図9はいずれもマスクパターンを示すが、長方形に描かれた接続プラグのマスクパターンは、基板上に転写されると角が丸められて概ね楕円形になる。

【0039】図3～図5に示したように、本実施例のDRAMでは、シリコン基板1上に素子分離用の酸化シリコン膜2、拡散層3およびゲート電極4等が周知の方法を用いて形成されている。その上に、第1層～第3層の配線11、14、17、第1～第4の接続プラグ10a、10b、13a、13b、16a、16b、19a、19bおよび第1～第4の層間絶縁膜8、12、15、18からなる配線層が形成されている。

【0040】メモセルアレー部においては、第1層の配線11はゲート電極4と直交して配置されたビットラ

インとして機能し、第2層の配線14はゲート電極4と同方向に配置されたサブワードラインとして機能する。これら配線層の上方には、下部電極20、容量絶縁膜21および上部電極22からなる電荷蓄積キャパシタが形成されている。メモセルアレー部では、拡散層3と下部電極20を接続するために、第1～第4の接続プラグ10a、13a、16a、19aが、配線と配線接続パッドを介さずに直接電氣的に互いに接続されている。

【0041】次に、本発明に用いられた平面形状が楕円形の接続プラグについて説明する。本発明では、図6～9に示したように、第1～第4の接続プラグ10a、13a、16a、19aの平面形状を、従来一般に用いられている正円形(マスクパターンは正方形)ではなく、楕円形(マスクパターンは長方形)とした。本実施例では、マスクパターンを長辺は $0.45 \mu\text{m}$ 、短辺は $0.3 \mu\text{m}$ の長方形とし、基板上に転写されるパターンが概ね長軸が $0.3 \mu\text{m}$ (最小加工寸法の1.5倍)、短軸が $0.2 \mu\text{m}$ (最小加工寸法)の楕円形になるようにした。

【0042】第1の接続プラグ10aはゲート電極4と同方向(x方向)に、第2の接続プラグ13aは第1層配線11と同方向(y方向)に、それぞれ上記長軸を配置して、隣接する配線と干渉しないようにした。また、上記短軸の長さは従来と同様に最小加工寸法としたので、単位メモセル面積は従来と同じである。

【0043】このような楕円形の接続プラグには、平面積の増加によって電氣的接触抵抗が低減されることは言うまでもないが、さらに、後で説明するように、接続孔のマスクパターンを転写するのが容易になって接続孔の形成が容易になるとともに、続孔を導電膜で埋め込むのも容易になる。したがって、配線抵抗の低減および接続プラグ形成の安定性向上に有効である。なお、上記マスクパターンの転写が容易になる効果は、接続プラグの長軸が解像波長の5倍以下である場合、また長軸が短軸の1.2倍以上2倍以下である場合に顕著であった。

【0044】次に、各接続プラグの接続方法について説明する。図6～9に示すように、メモセルアレー部において、第1の接続プラグ10aと第3の接続プラグ16aはx方向に長軸を有し、第2の接続プラグ13aと第4の接続プラグ19aはy方向に長軸を有している。したがって、第1の接続プラグ10aと第2の接続プラグ13a、第2の接続プラグ13aと第3の接続プラグ16a、第3の接続プラグ16aと第4の接続プラグ19aは、長軸が互いに直交して十文字状に配置され、直接電氣的に接続される。

【0045】このように接続すると、接続プラグの平面形状が正円形の場合と比較して、マスクの合わせ余裕が著しく拡大される。例えば図11に示したように、短軸が $0.2 \mu\text{m}$ 、長軸が $0.3 \mu\text{m}$ の2つの楕円形の接続プラグ10a、13aを、重心を一致させて直接電氣的に接続するように設計した場合、マスク合わせずれが生じ

ても、2つの接続プラグの接触面積は、平面形状が正円形である従来の接続プラグよりはるかに大きく、実用上十分である。

【0046】上記のように、本発明による平面形状が楕円形である接続プラグおよび上記接続方法を用いれば、キャパシタをビットラインあるいは全配線の上に設けた場合にも、単位メモセル面積は従来の正円形の接続プラグを用いた場合と同じままで、配線抵抗を低減させ、拡散層とキャパシタ下部電極を安定に接続できる。キャパシタを配線層上方に設けることによって、BST膜やPZT膜等の高誘電体膜を、キャパシタの容量絶縁膜として安定して用いることができる。すなわち、これら高誘電体膜からなるキャパシタ絶縁膜には、キャパシタを形成した後の熱履歴によって、その特性が劣化するという問題があるが、本実施例では、配線層を形成した後にキャパシタが形成されるので、このような特性劣化の問題は著しく低減され、キャパシタの信頼性が向上する。

【0047】また、強誘電体メモリのキャパシタを配線層の上方に設けても同様な効果が得られるため、本発明は強誘電体メモリにも有効に適用できる。さらに、キャパシタを配線層の上方に設けた本実施例の構造は、DRAM、強誘電体メモリ、SRAM、ロジック系LSI、さらにはDRAMとロジック回路などを同一チップ上に混載した多機能LSI(図12)を同一製造ラインで形成できるので、プロセスの標準化によるコスト低下が可能である。

【0048】また、本発明による楕円型形状の接続プラグおよびその接続方法は、DRAM等のみではなく、ロジック系LSIの多層配線にも応用することができ、同様に、配線の信頼度が向上する。

【0049】本実施例においては、メモセルアレー部のみにあって、複数の接続プラグを互いに直接接続し、周辺回路部では、複数の接続プラグを配線あるいは配線パッドを介して互いに接続した。すなわち、配線や接続プラグが密集し、極度の微細化が要求されるメモセルアレー部のみに、複数の接続プラグを互いに直接接続し、周辺回路部やロジック回路部など、配線の低抵抗性が重要で高度の微細化は要求されない部分では、複数の接続プラグを配線あるいは配線パッドを介して互いに接続した。このように、微細性と配線の低抵抗性の必要に応じて、同一のLSIチップ上に2種のプラグ接続構造を同時に形成することができる。この場合も、第1の接続プラグ10a、10b、第2の接続プラグ13a、13b、第3の接続プラグ16a、16bおよび第4の接続プラグ19a、19bを、それぞれメモセルアレー部と周辺回路部(あるいはロジック回路部)に共通した同一の導電材料によってそれぞれ同時に形成できるので、所要工程数を削減できる。

【0050】なお、接続プラグは、図13に示すよう

に、例えば導電材料A群より選んだ1種類の導電材料で構成しても良く、導電材料B群とC群より選んだ2種類の導電材料で構成しても良い。さらに、これらを組み合わせた3種類以上の導電材料で構成しても良い。

【0051】次に、本実施例の上記DRAMの製造工程を、図3～図6を用いて説明する。p型(100)シリコン基板1上に、熱酸化法、ホトリソグラフィ、ドライエッチング、ウェットエッチングおよびイオン打ち込みなど、周知の技術などを用いて、厚さ350nmの素子分離の酸化シリコン膜2、拡散層領域3、ウエル層、チャネル層などを形成した。

【0052】次に、ゲート電極4を形成するために、周知の熱酸化法により厚さ7nmのゲート酸化膜(図示せず)を形成した後、リンを添加した厚さ70nmのポリシリコン膜、厚さ120nmの珪化タングステン膜を、それぞれ低圧CVD法により順次形成し、さらにその上に、厚さ10nm厚の酸化シリコン膜および厚さ100nmの窒化シリコン膜からなる積層絶縁膜5を、熱CVD法およびプラズマ低圧CVD法によりそれぞれ形成した。

【0053】上記ポリシリコン膜および珪化タングステン膜の積層膜と第1の接続プラグ110a、110bとの接続領域6上の上記積層絶縁膜5を、周知のホトリソグラフィ技術とドライエッチング技術により選択的に除去して、上記珪化タングステン膜の表面を露出させた。

【0054】次に、上記ポリシリコン膜、珪化タングステン膜、酸化シリコン膜および窒化シリコン膜を、ホトリソグラフィ技術とドライエッチング技術によって所定の形状にパターニングして、加工長が0.2μmのゲート電極4を形成した。

【0055】ゲート電極4をマスクとして、上記シリコン基板とは逆の導電型を有する不純物イオン注入した後、厚さ80nmの窒化シリコン膜を形成し、これをドライエッチング技術により全面異方性エッチングを行なって、スペーサ長50nmのゲート電極側壁スペーサ7を形成した。さらに、上記逆の導電型を有する不純物イオンを再度イオン注入した後、熱処理を行い拡散層3を形成した。

【0056】次に、厚さ700nmのBPSG膜を全面に形成した後、熱処理してリフローさせ、さらに周知のCMP法によって研磨して、素子分離領域2のゲート電極4上での膜厚を300nmにし、上面が平坦な第1の層間絶縁膜8を形成した。

【0057】周知のホトリソグラフィ技術とドライエッチング技術により、上記第1の層間絶縁膜8を貫通し、長軸(x方向)の寸法が0.3μmで短軸(y方向)の寸法が0.2μmである、平面形状が楕円形の第1の接続孔を、拡散層3およびゲート電極4上に同時に形成した。

【0058】次に、厚さ20nmのチタン膜と厚さ30

nmの窒化チタン膜を周知のスパッタ法によって全面に形成した後、ブランケットCVD法によって厚さ100nmのタングステン膜をその上に積層して形成した。その後、これらの膜のうち、上記第1の層間絶縁膜8の上に形成された部分を、CMP法によりを研磨して除去し、上記第1の接続孔内にのみ残存させて、第1の接続プラグ10a、10bを同時に形成した。

【0059】次に、厚さ50nmのタングステン膜、厚さ300nmのアルミニウム膜および厚さ50nm厚の窒化チタン膜を、周知のスパッタ法を用いて順次積層して形成した。これらの膜を周知のホトリソグラフィ技術とドライエッチング技術によって所定のパターンニングして、第1層配線11を形成した。

【0060】このとき、メモリセルアレー部(a)では、第1の接続プラグ10aと第2の接続プラグ13aとの接続部分における第1層配線層はエッチング除去され、第1の接続プラグ10aと第2の接続プラグ13aが互いに直接電氣的に接続されるようにした。一方周辺回路部(b)では、第1の接続プラグ10bと第2の接続プラグ13bを上記第1配線層11の一部からなる配線接続パッドを介して接続される。

【0061】高密度プラズマCVD法によって酸化シリコン膜を全面に形成して、上記第1層配線間を埋め込んだ後、CMP法によってこの酸化シリコン膜を研磨して上記第1層配線11上における膜厚を200nmにし、第2の層間絶縁膜12を形成した。次に、TEOSガスを用いたプラズマCVD法によって厚さ200nmの酸化シリコン膜を全面に形成した。

【0062】周知のホトリソグラフィ技術とドライエッチング技術によって、上記第2の層間絶縁膜12を貫通する第2の接続孔を形成した後、周知の選択CVD法によって膜厚1μmのタングステン膜を上記第2の接続孔内に形成した。この際、メモリセル部および周辺回路部ともに、タングステン膜が接続孔にオーバー・フィルするようにした。その後、第2の層間絶縁膜12上にオーバー・フィルしたタングステン膜および選択性の低下によって第2の層間絶縁膜12上に形成されたタングステン核をCMP法によって研磨して除去して、接続孔内にのみタングステン膜を残存させ、第2の接続プラグ13a、13bを形成した。

【0063】上記第1層配線11、第2の層間絶縁膜12および第2の接続プラグ13a、13bの形成と同様の方法を用いて、第2層配線14、第3の層間絶縁膜15、第3の接続プラグ16a、16b、第3層配線17、第4の層間絶縁膜18および第4の接続プラグ19a、19bを順次形成した。

【0064】次に、電荷蓄積キャパシタを形成した。まず、厚さ100nmの白金膜を周知のスパッタ法により形成した後、ホトエッチングによってこれを $0.6 \times 0.4 \mu\text{m}$ の電極形状に加工して、キャパシタ下部電極20

とした。その上に、厚さ100nmのBST膜からなる容量絶縁膜21および厚さ100nm厚の白金膜からなるキャパシタ上部電極22を順次積層して形成した。このようにして得られたキャパシタの1セル当たりの電荷蓄積量は20fF(フェムト・ファラッド)であり、256MbDRAMの電荷蓄積量として充分であった。また、キャパシタ下部電極20として用いた白金膜は、周辺回路部では配線層として機能され、配線の設計自由度が向上できた。以上により、図3～5に示す構造が形成された。

【0065】〈実施例2〉本発明をDRAM半導体集積回路装置に適用した第2の実施例を説明する。本実施例は、平面形状が楕円型の接続プラグおよびその接続に加えて、接続プラグと配線とを絶縁するために、層間絶縁膜とはエッチング速度の異なる絶縁膜を配線の下部に設けた例であり、本実施例では、この絶縁膜として窒化シリコン膜を用いた。

【0066】図14～図16は、それぞれ本実施例によって形成されたDRAMの主要部の断面構造を示す図である。本実施例においても、上記実施例1の場合と同様に、図14(a)、図15(a)および図16(a)はメモリセルアレー部を示し、図14(b)は周辺回路部を示す。

【0067】また、図17～図20は、メモリセルアレー部において、接続プラグがそれぞれ形成された各層ごとの平面配置を示すマスクパターンである。図14

(a)における第1層の断面構造は図17のA-A'部の断面構造であり、図15(a)における第1層の断面構造は図17のB-B'部の断面構造、図16(a)における第1層の断面構造は図17のC-C'部の断面をそれぞれ示す。図18～図20も同様であり、それぞれメモリセルアレー部の第2層、第3層および第4層の平面配置を表わすマスクパターンである。

【0068】本実施例では、例えば図15(a)に示したように、第1層配線111、第2層配線114および第3層配線117の下に、窒化シリコン膜141、142、143がそれぞれ設けられている。そのため、接続プラグと配線との間(例えば図14(a)に示した第2の接続プラグ113aと第2層配線114の間)に、マスク合わせの際の位置ずれが生じて、接続プラグと配線は、窒化シリコン膜(上記図14(a)の場合は窒化シリコン膜114)によって互いに絶縁され、両者が互いに接続される恐れはないので、単位メモリセル面積を縮小できた。

【0069】図17～20に示したように、単位メモリセルの大きさは、y方向は $4 \times f$ 、x方向は $2 \times (f + a)$ として、単位メモリセル面積を $8 \times f \times (f + a)$ とした。ただし、fは最小加工寸法、aは合わせ余裕をそれぞれ表し、本実施例では $f = 0.2 \mu\text{m}$ 、 $a = 0.04 \mu\text{m}$ とした。なお当然のことながら、本実施例のような

微細な単位メモリセル面積を実現するためには、接続プラグは傾斜を有しない、すなわち接続プラグの断面は上面と下面とで同等であることはいうまでもない。また、上記実施例1と同様に、本実施例においても、接続プラグの平面形状は楕円であり、各接続プラグは、上記楕円の長軸が互いに直交して、十文字状に重ねて配置され、電氣的に接続されている。したがって、このような接続プラグおよび上記重ね構造を、配線の下部に窒化シリコン膜などを設けた構造を併用することにより、配線抵抗が極めて低い微細なメモリセルを、安定して形成することができる。

【0070】次に、図14～図16を用いて、本実施例によるDRAMの製造方法を説明する。まず、実施例1と同様に、シリコン基板101の上に素子分離の酸化シリコン膜102、拡散層103、ゲート電極104、第1の層間絶縁膜108、第1の接続プラグ110a、110bなどを、周知の方法を用いて形成した。

【0071】次に、窒化シリコン膜141を形成し、通常のホトリソグラフィ技術およびドライエッチング技術を用いて、上記窒化シリコン膜141のうち周辺回路部分に形成された部分を除去した後、第1層配線111を形成した。メモリセルアレー部において、第1の接続プラグ110aと第1層配線111は、窒化シリコン膜141によって互いに絶縁されている。

【0072】次に、実施例1と同様にして、第2の層間絶縁膜112を形成した後、第2の接続プラグ113a、113bを形成するための接続孔を形成した。この際、メモリセルアレー部に形成されている上記窒化シリコン膜141を、ドライエッチングのストッパ膜として用いた。

【0073】すなわち、酸化シリコン膜からなる第2の層間絶縁膜112を、窒化シリコン膜141をエッチングストッパ膜としてエッチングして、開口部を形成した後、窒化シリコン膜141の露出された部分を選択的にエッチングして除去した。上記実施例1の場合は、接続孔を形成する際に、第1の層間絶縁膜8および第1の接続プラグ10aがオーバーエッチングされるため、エッチング条件が狭く制限されたが、本実施例では、上記のように窒化シリコン膜がエッチングストッパ膜として作用するため、このような問題は軽減され、エッチング条件を実施例1の場合よりはるかに広げることができた。

【0074】以下、実施例1と同様に、第2の接続プラグ113a、113b、第2層配線114、第3の層間絶縁膜115、第3の接続プラグ116a、116b、第3層配線117、第4の層間絶縁膜118および第4の接続プラグ119a、119bを順次形成した後、キャパシタ下部電極120、容量絶縁膜121およびキャパシタ上部電極122からなるキャパシタを形成した。この際、メモリセルアレー部においては、上記第1層配

線114の下部に窒化シリコン膜141を設けたのと同様に、第2層配線114の下にも窒化シリコン膜142を設けて、第2層配線114と第2の接続プラグ113aをこの窒化シリコン膜142によって互いに絶縁し、第3層配線117の下部にも窒化シリコン膜143を設けて第3層配線117と第3の接続プラグ116aを互いに絶縁した。このようにして、図14～図16に示す構造が得られた。

【0075】〈実施例3〉上記実施例2では、層間絶縁膜とはエッチング速度が異なる絶縁膜(窒化シリコン膜)を配線の下にのみに設けたが、上記層間絶縁膜とはエッチング速度の異なる絶縁膜(窒化シリコン膜など)を、配線の下部のみではなく、配線の上部や側部にも設けてもよい。図21～図23に、窒化シリコン膜を配線の下部および側部に設けた例を示す。上記実施例1、2と同様に、図21(a)、図22(a)および図23(a)はメモリアレー部、図21(b)は周辺回路部の主要部の断面構造を、それぞれ示す。第1層配線111の下部に形成された窒化シリコン膜141によって、第1層配線111と第1の接続プラグ110aが互いに絶縁され、また第1層配線111の側部に形成された窒化シリコン膜151によって第1層配線111と第2の接続プラグ113aが互いに絶縁される。そのため、マスクの合わせの位置ずれによる影響が小さく、微細な配線構造が得られ、信頼性が向上する。

【0076】配線の下部、側部および上部に窒化シリコン膜を設けた例を図24～26に示した。この場合は、第1層配線111の下に形成された窒化シリコン膜141によって、第1層配線111と第1の接続プラグ110aが互いに絶縁され、また、第1層配線111の側部に形成された窒化シリコン膜151および第1層配線111の上に形成された窒化シリコン膜161によって、第1層配線111と第2の接続プラグ113aが互いに絶縁される。さらにマスクの合わせの位置ずれの影響が小さく、微細な配線構造が得られ、信頼性が向上する。

【0077】本実施例によれば、メモリセルアレー部の単位メモリセル面積を $8 \times f \times (f + a)$ よりも、さらに縮小することができ、実用上極めて有用である。

【0078】

【発明の効果】以上記載したように、本発明によれば、接続プラグを安定して形成することができ、接続プラグの接続抵抗を含めた配線抵抗を低減できるので、半導体集積回路装置の信頼性や性能が向上する。また、メモリセルアレー部の単位メモリセルの面積が縮小されるため、ウエハあたりのチップ取得数が増加し、半導体集積回路装置の製造コストを低減できる。

【図面の簡単な説明】

【図1】DRAMチップの全体構成を示す図、

【図2】DRAMのメモリセルアレー部の等価回路を示

す図、

【図 3】本発明の実施例 1 による DRAM の主要部の断面図、

【図 4】本発明の実施例 1 による DRAM の主要部の断面図、

【図 5】本発明の実施例 1 による DRAM の主要部の断面図、

【図 6】本発明の実施例 1 による DRAM のメモリセルアレー部の上面図、

【図 7】本発明の実施例 1 による DRAM のメモリセルアレー部の上面図、

【図 8】本発明の実施例 1 による DRAM のメモリセルアレー部の上面図、

【図 9】本発明の実施例 1 による DRAM のメモリセルアレー部の上面図、

【図 10】本発明による接続プラグの平面形状の例を示す図、

【図 11】本発明による平面形状が楕円である接続プラグの接続構造を示す図、

【図 12】DRAM とロジック回路を混載した L S I チップの全体構成を示す図、

【図 13】接続プラグの断面構造および構成材料を示す図、

【図 14】本発明の実施例 2 による DRAM の主要部の断面図、

【図 15】本発明の実施例 2 による DRAM の主要部の断面図、

【図 16】本発明の実施例 2 による DRAM の主要部の断面図、

【図 17】本発明の実施例 2 による DRAM のメモリセルアレー部の上面図、

【図 18】本発明の実施例 2 による DRAM のメモリセルアレー部の上面図、

【図 19】本発明の実施例 2 による DRAM のメモリセルアレー部の上面図、

【図 20】本発明の実施例 2 による DRAM のメモリセルアレー部の上面図、

【図 21】本発明の実施例 3 による DRAM の主要部の断面図、

【図 22】本発明の実施例 3 による DRAM の主要部の断面図、

【図 23】本発明の実施例 3 による DRAM の主要部の断面図、

【図 24】本発明の実施例 3 による DRAM の主要部の断面図、

【図 25】本発明の実施例 3 による DRAM の主要部の断面図、

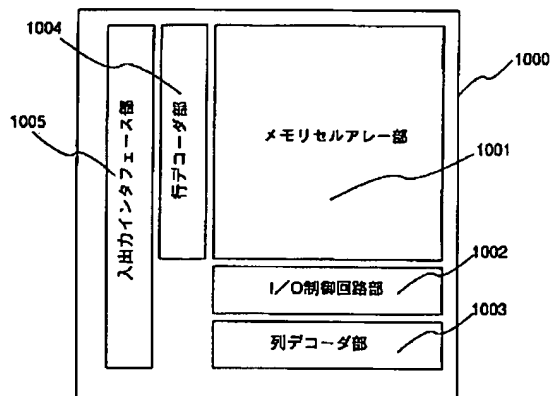
【図 26】本発明の実施例 3 による DRAM の主要部の断面図である。

【符号の説明】

1、101…シリコン基板、2、102…素子分離用酸化シリコン膜、3、103…拡散層、4、104…ゲート電極、5、105…酸化シリコン膜と窒化シリコン膜の積層膜、6、106…接続領域、7、107…ゲート電極側壁スペーサ、8、108…第 1 の層間絶縁膜、10a、10b、110a、110b…第 1 の接続プラグ、11、111…第 1 層配線、12、112…第 2 の層間絶縁膜、13a、13b、113a、113b…第 2 の接続プラグ、14、114…第 2 層配線、15、115…第 3 の層間絶縁膜、16a、16b、116a、116b…第 3 の接続プラグ、17、117…第 3 層配線、18、118…第 4 の層間絶縁膜、19a、19b、119a、119b…第 4 の接続プラグ、20、120…キャパシタ下部電極、21、121…容量絶縁膜、22、122…キャパシタ上部電極、141、142、143、151、152、153、161、162、163…窒化シリコン膜、1000…DRAM チップ、1101…DRAM とロジック回路の混載チップ、1001、1101…メモリアレー部、1002、1102…I/O 制御回路部、1003、1103…列デコーダ部、1004、1104…行デコーダ部、1005、1105…入出インターフェイス部、1106…ロジック回路、2001…MOS 型トランジスタ、2002…電荷蓄積キャパシタ。

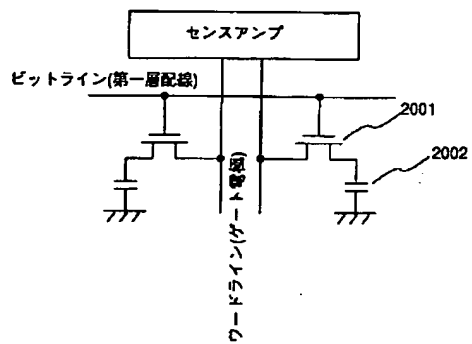
【図1】

図1



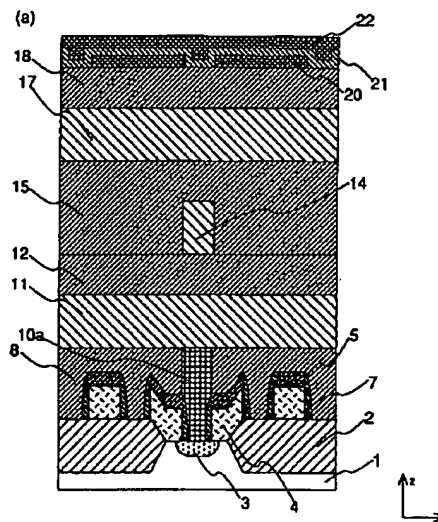
【図2】

図2

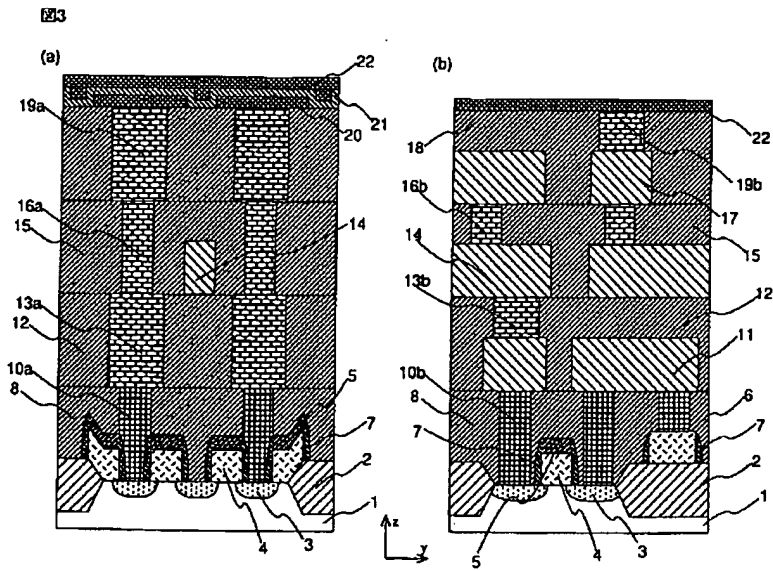


【図4】

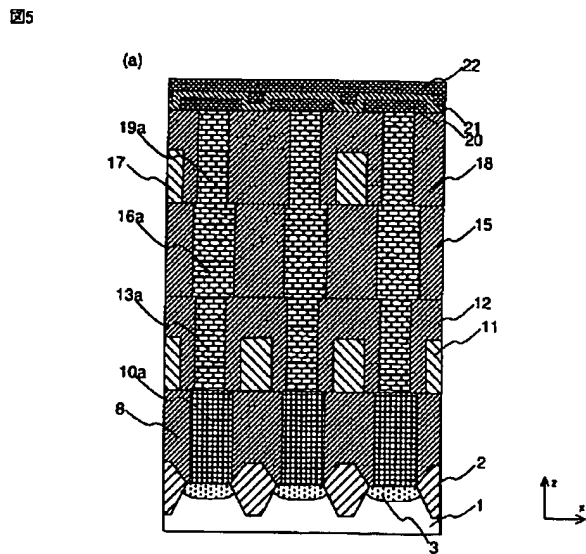
図4



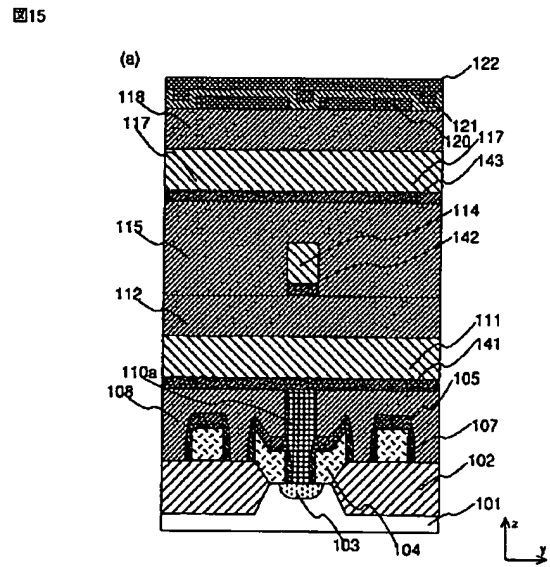
【図 3】



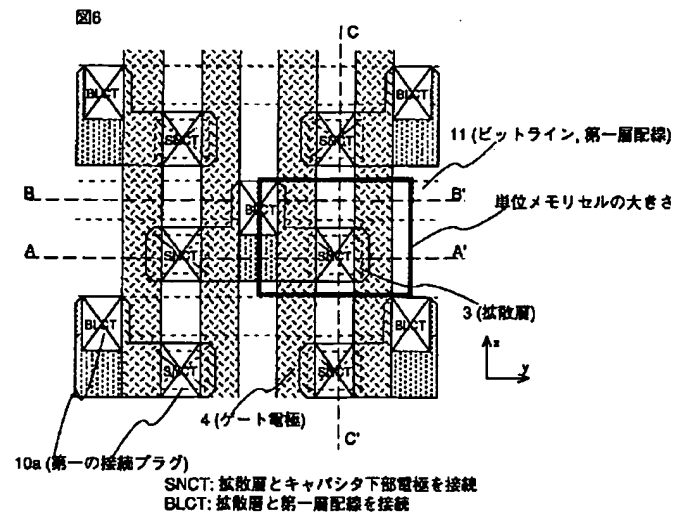
【図 5】



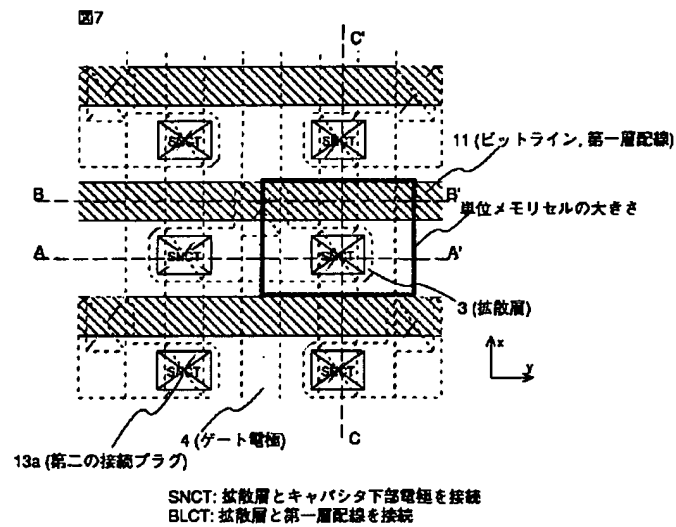
【図 15】



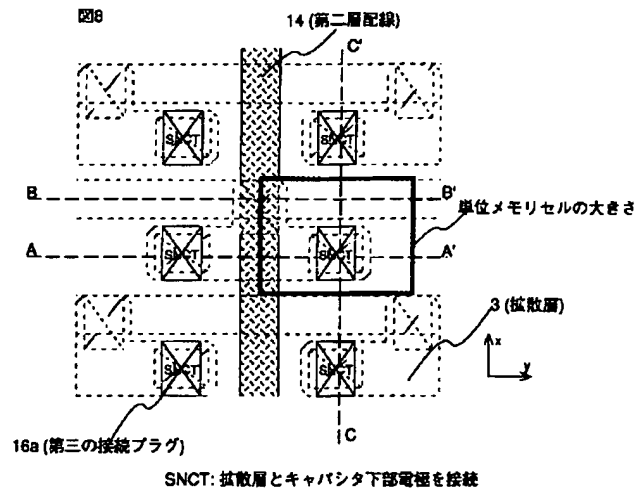
【図6】



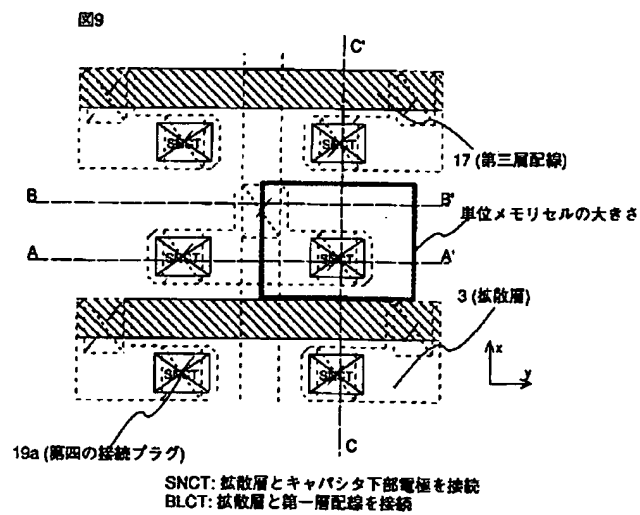
【図7】



【図 8】

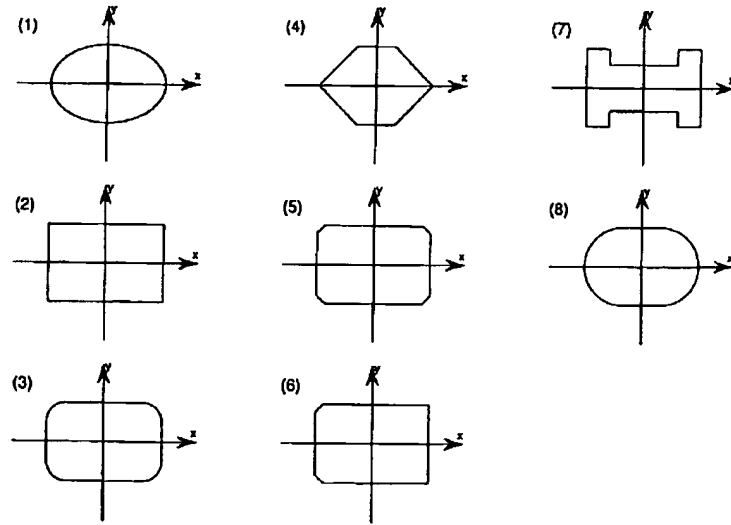


【図 9】



【図10】

図10



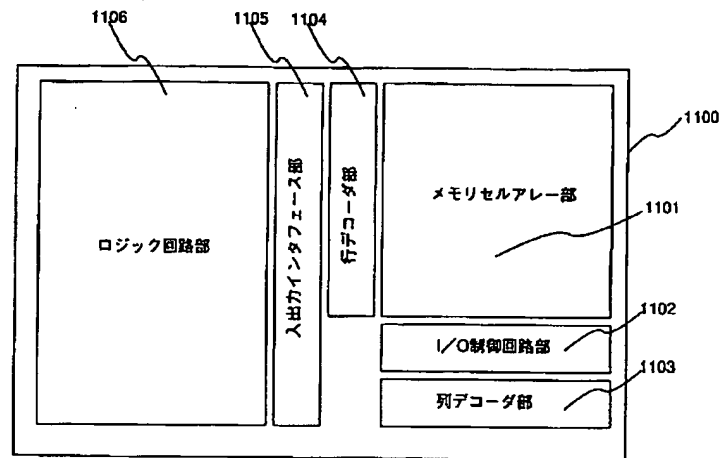
【図11】

図11

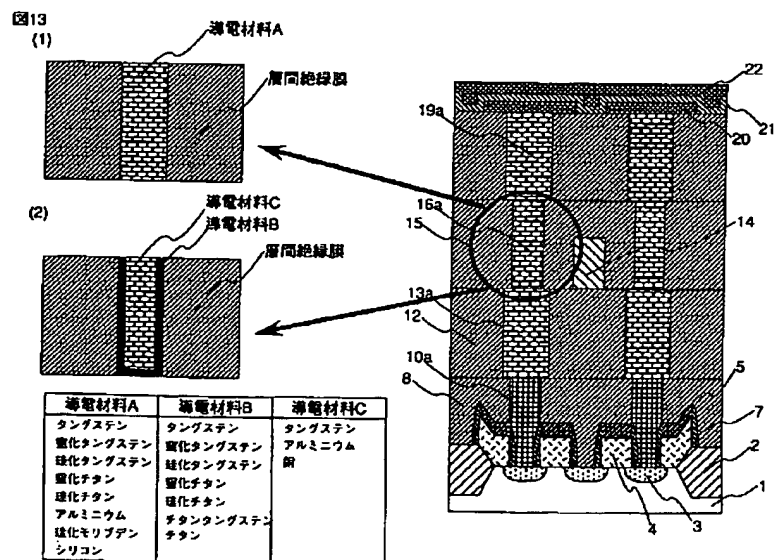
	本発明による 楕円型形状の接続プラグ	従来一般に用いられている 正円形の接続プラグ
設計		
合わせずれが生じた場合		

【図12】

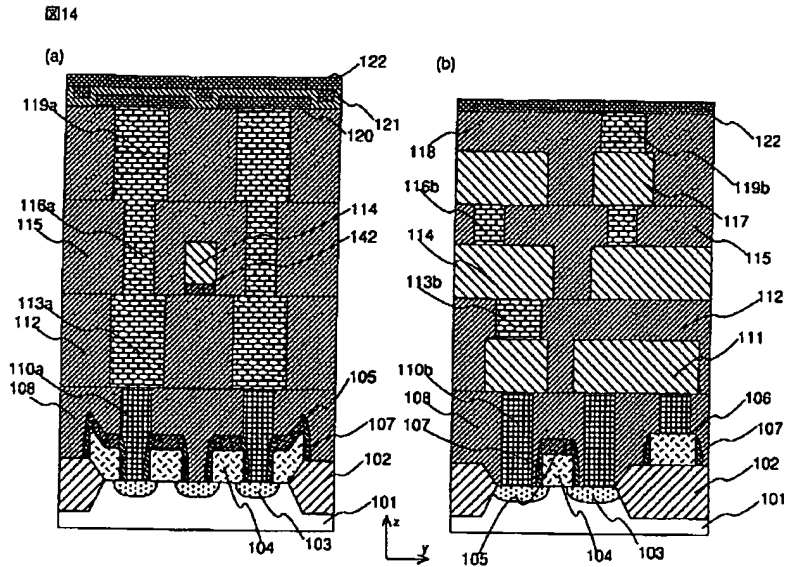
図12



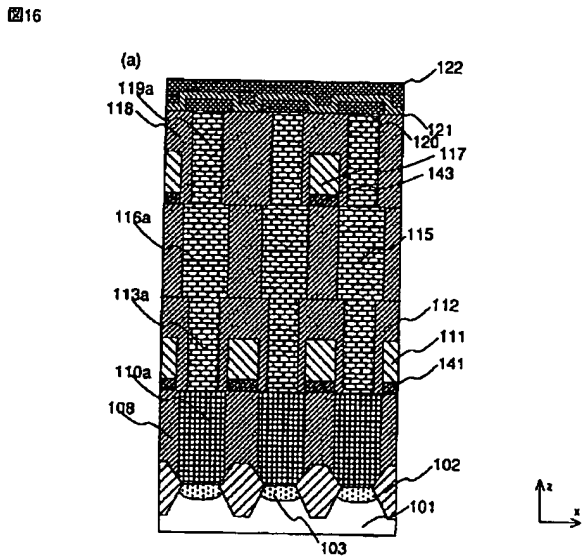
【図13】



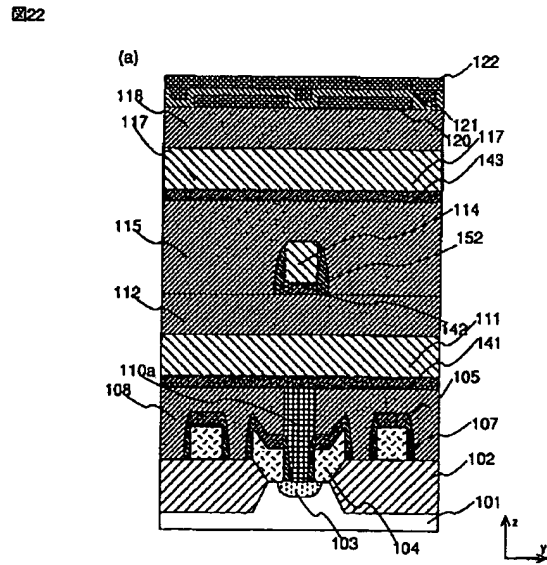
【図14】



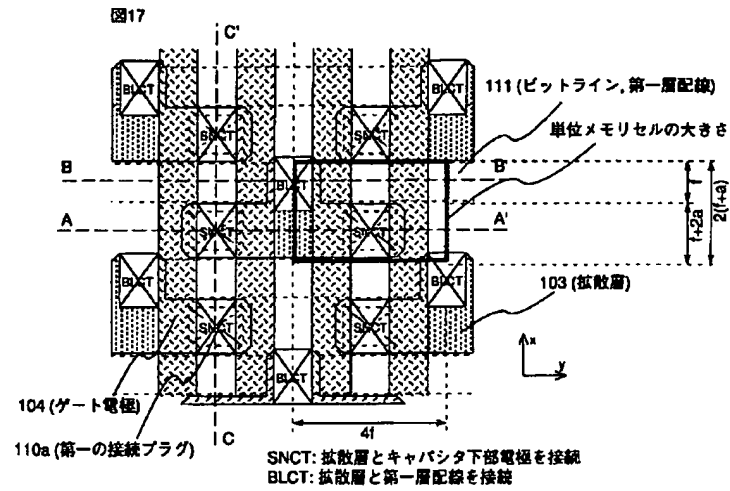
【図16】



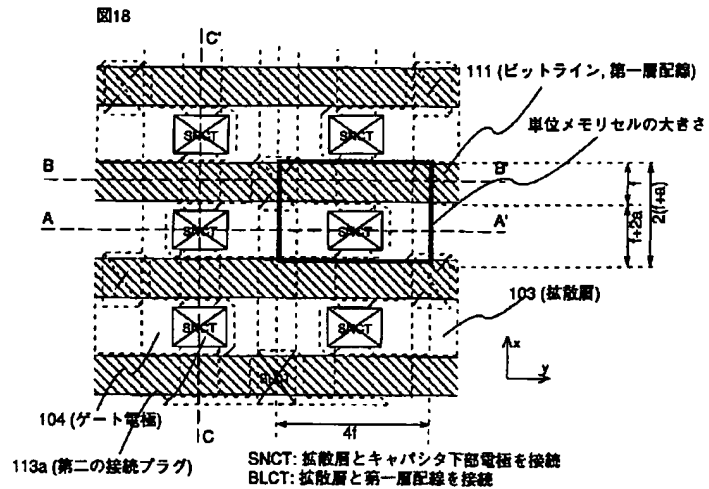
【図22】



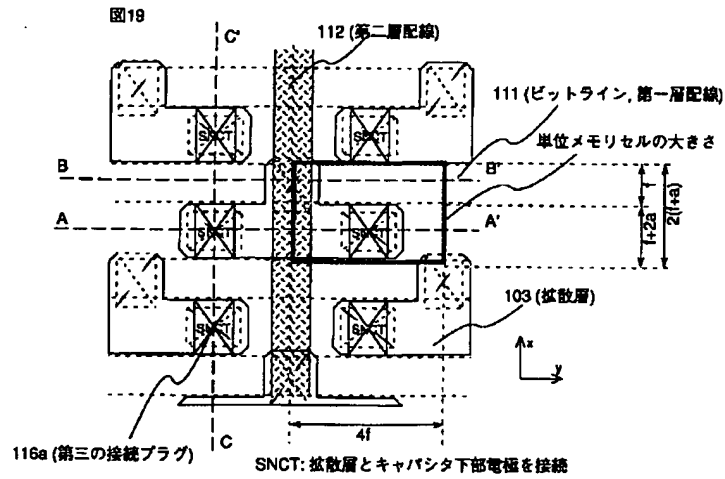
【図17】



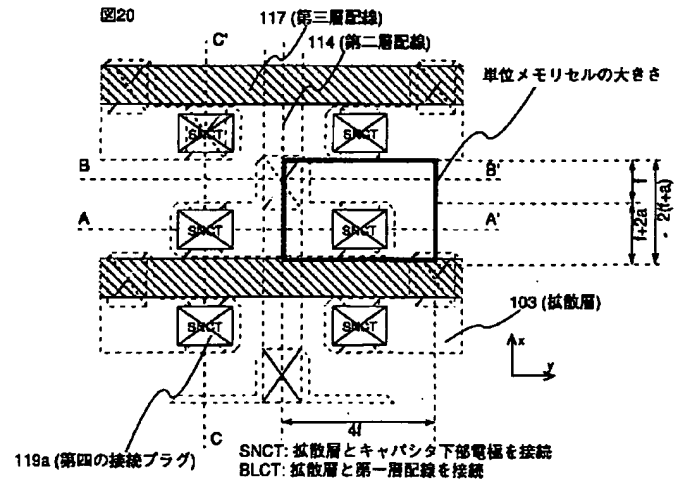
【図18】



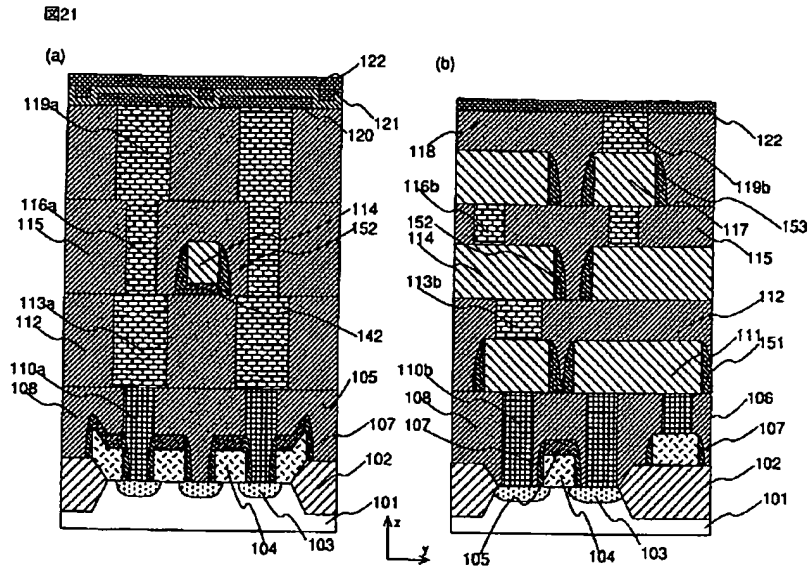
【図19】



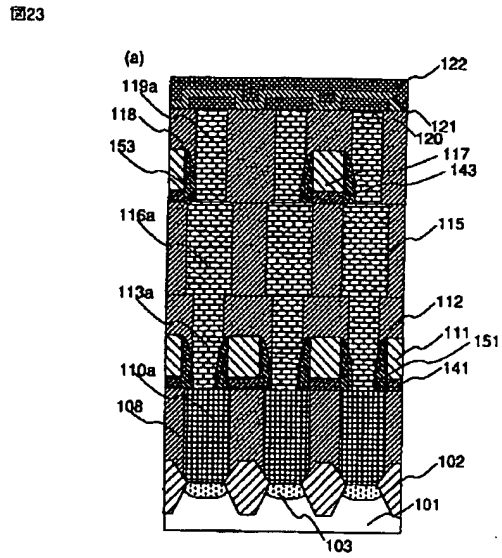
【図20】



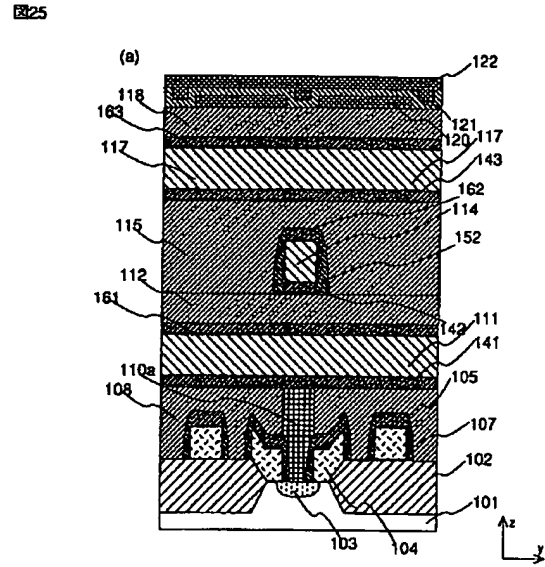
【図 2 1】



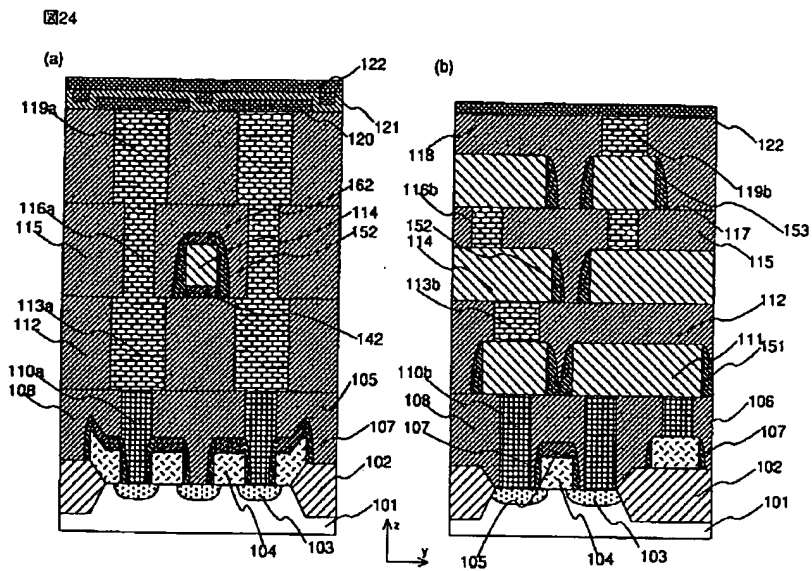
【図 2 3】



【図 2 5】

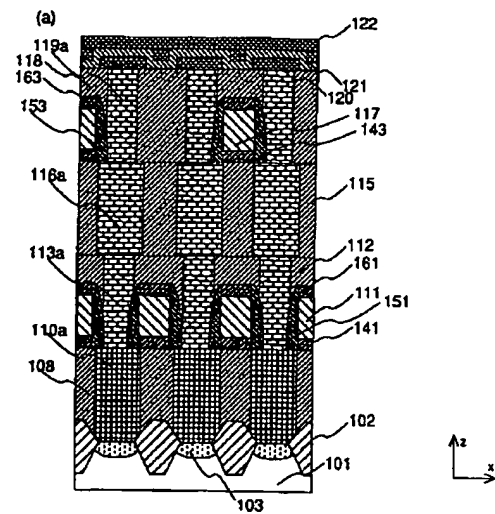


【図24】



【図26】

図26



フロントページの続き

(72)発明者 齊藤 政良
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内

(72)発明者 長谷川 昇雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体事業部内